

# 大規模科学計算システムにおける 利用者プログラムの特性分析

大泉 健治<sup>1)</sup>, 山下 毅<sup>1)</sup>, 穂苅 寛光<sup>2)</sup>, 江川 隆輔<sup>3,4)</sup>, 滝沢 寛之<sup>3,4)</sup>, 小林 広明<sup>4,3)</sup>

1) 東北大学 情報部情報基盤課

2) 日本電気株式会社 3) 東北大学 サイバーサイエンスセンター

4) 東北大学 大学院情報科学研究科

oizumi@cc.tohoku.ac.jp

## Analysis of the characteristics of user programs on Supercomputer system

Kenji Oizumi<sup>1)</sup>, Takeshi Yamashita<sup>1)</sup>, Hiroaki Hokari<sup>2)</sup>,  
Ryusuke Egawa<sup>3,4)</sup>, Hiroyuki Takizawa<sup>3,4)</sup>, Hiroaki Kobayashi<sup>4,3)</sup>

1) Information Infrastructure Division of Information Department, Tohoku Univ.

2) NEC Corporation, 3) Cyberscience Center, Tohoku Univ.

4) Graduate School of Information Sciences, Tohoku Univ.

### 概要

東北大学サイバーサイエンスセンターで提供している大規模科学計算システムにおいて、実利用プログラムの性能状況をとらえるため、また性能改善の指標とするため、利用者プログラムの特性分析を実施した。41本の利用者プログラムを対象とし、プログラムが要求するB/F(Bytes/Flop)値から、性能のボトルネックとなる箇所を演算器律速、ADBバンド幅律速およびメモリバンド幅律速に分類し傾向を分析した。その結果、メモリバンド幅律速のプログラムが約7割を占めることがわかった。

## 1 はじめに

東北大学サイバーサイエンスセンター（以下、本センター）の大規模科学計算システムは、日本電気株式会社（以下、NEC）製ベクトル型スーパーコンピュータ SX-ACE を主力計算機として運用し、全国の研究者へサービスを提供している。また本センターでは 1999 年より、プログラムの高精度化、大規模化の支援を目的とした共同研究制度を実施している。利用者、計算機科学を専門とするセンター教員、技術職員、およびベンダー技術者が連携して利用者プログラムの高速化に取り組んでいる。これらの高速化支援活動の取り組みの中で、プログラムの性能分析や高速化に関する個々の事例については多数報告してきた。本稿では、利用者プログラム 41 本について、性能状況をとらえ性能改善の指標とするため特性分析を行なったので報告する。

## 2 運用状況

### 2.1 大規模利用課題の動向

図 1 に 1999 年から本センターで取り組んでいるセンター独自の共同研究、学際大規模情報基盤共同利用・共同研究拠点（JHPCN）課題および革新的ハイパフォーマンス・コンピューティング・インフラ（HPCI）課題採択数の推移を示す。本センター独自の共同研究は恒常的に年 10 課題ほど実施されていることに加え、近年では JHPCN、HPCI を介した共同研究数が増加している。これは、センターとの共同研究を通して利用者プログラムが高度化・大規模化し、JHPCN、HPCI 採択課題へとステップアップした結果だと考えることができ、我々の継続的な高速化支援活動が一定の成果を挙げていることが分かる。



図1 共同研究課題採択数

## 2.2 利用ノード数の動向

図2に、SX-ACEの利用ノード数と利用ノード時間の分布を示す。SX-ACEは、2015年から運用を開始し、利用者はプログラムに応じて最大1,024ノードの計算資源を最大1ヶ月まで利用できる運用を行っている。動向分析の対象は、比較的新規利用が多い層であるセンターの共同研究課題の利用者とした。

利用ノード数は、システム導入当初は1ノードおよび32ノードまでの利用がほとんどであったが、期間を追うごとに33-256ノードを利用した割合が高くなっており、利用者プログラムの並列化が進んでいる。これは、これまで我々が取り組んできた利用者プログラムへの高速化支援によるところが大きいと考えられる。また、利用者プログラムの大規模並列化促進を目的に、利用ノード数が多いほど割安となる単価設定を行っていることも、高並列化を促進する一因と考えられる。



図2 利用ノード数の割合 (共同研究課題)

## 3 利用者プログラムの特性分析

本章では、演算性能とメモリアクセス性能の面からプログラム性能のボトルネックとなる箇所について、利用者プログラムを対象にして分析する。性能分析にあたり、対象とするスーパーコンピュータSX-ACEの諸元について述べる。

### 3.1 SX-ACEのアーキテクチャ

表1にスーパーコンピュータSX-ACEの諸元を、図3にCPUコア構成をそれぞれ示す。1ノードは1つのCPUとメインメモリから構成される。1CPUは4つのコアを搭載し256 GFLOPS(64 GFLOPS×4)のベクトル演算性能を持ち、メインメモリは64GB、ADB(Assignable Data Buffer)は各コアで1MB搭載している。また、SX-ACEでは、冗長なメモリアクセスを抑止するためにMSHR(Miss Status Handling Register)を新たに実装している。以上のような構成により、高メモリバンド幅を必要とするプログラムで高い実効性能を達成することを特徴としている。しかしながら、CPUの演算性能が向上している一方で、半導体チップへの実装には制約があることからメモリバンド幅の性能向上は難しくなっている。このためメモリバンド幅と演算性能の比であるB/F(Bytes/Flop)値は減少傾向にある。図4は本センターで提供してきたスーパーコンピュータのB/F値を示している。1998年に導入したSX-4はB/F性能値が8であるが、2015年に導入した現行機種SX-ACEのB/F性能値は1であり、代を重ねるごとに減少していることがわかる。

表1 SX-ACEの諸元

	性能	SX-ACE
コア性能	最大ベクトル演算性能	64 GFLOPS
	ADB容量	1 MB
	ADBバンド幅	256 GB/sec
	メモリバンド幅	64-256 GB/sec
	B/F値	1.0-4.0
CPU性能	コア数	4
	最大ベクトル演算性能	256 GFLOPS
	メモリバンド幅	256 GB/sec
	B/F値	1.0
ノード性能	CPU数	1
	メモリ容量	64 GB

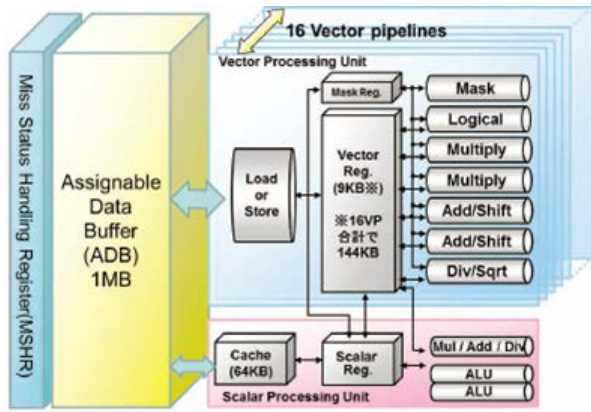


図3 CPUコア構成

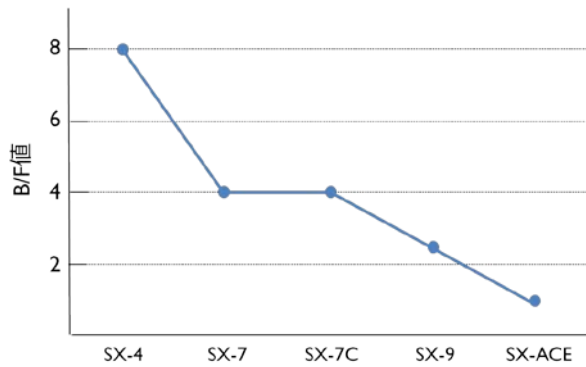


図4 歴代スーパーコンピュータのB/F値

### 3.2 Prog B/F と Actual B/F

B/F値は1演算(Flop)に必要なデータ量(Bytes)を示す指標である。プログラムによって要求されるB/F値は異なり、実行する計算機のB/F性能値より小さければ、演算器へ十分なバンド幅でのデータ供給が可能であり、CPUの演算性能を引き出すことができる。逆に大きければ、演算性能に見合ったバンド幅でのデータ供給をできず実効性能が低下する要因となる。プログラムの要求するB/F値と計算機のB/F性能値を比較することで、性能を律速している箇所がCPUの演算性能にあるか、メモリのデータ転送性能にあるかを推定することができる。

プログラムが要求するB/F値はProg B/Fと定義され、プログラム上(ベクトルロード命令)のメモリアクセス要素数をカウントすることで算出される。一方、Actual B/Fは、実際にメモリからCPUに転送されたデータ量をもとに算出される(図5)。

また、SX-ACEのB/F性能値はつぎのとおりである。メモリとCPUの間は256 GB/secのメモリバンド幅性能を備える。4コアすべてが同時にメモリアクセスした場合、各コアで利用可能なメモリバンド幅は平均64 GB/secとなり、メモリとCPU間

のB/F性能値は1となる。一方、ADBと各コアの間はそれぞれ256 GB/secのバンド幅性能を備えているため、CPU全体でのB/F性能値は4となる。

表2はProg B/FとActual B/Fの2つの指標を、SX-ACEのB/F性能値とそれぞれ比較し性能決定要因を分類したもので、図6は横軸をProg B/F、縦軸をActual B/Fとし、要因ごとに色分けして示している。青色領域は演算器律速、緑色領域はADBバンド幅律速、赤色領域はメモリバンド幅律速と分類される。

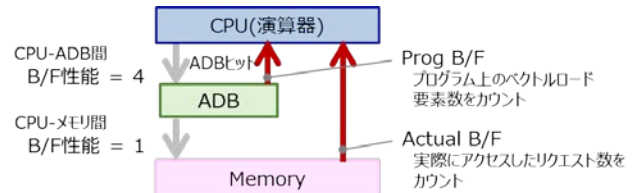


図5 SX-ACEのメモリアクセス

表2 性能決定要因の分類表

Prog B/F	Actual B/F	性能決定要因
4B/F以下	1B/F以下	演算器性能
	1B/F以上	Mem BW
4B/F以上	1B/F以下	ADB BW
	1B/F以上かつProg B/F < 4xActual B/F	Mem BW
	1B/F以上かつProg B/F > 4xActual B/F	ADB BW

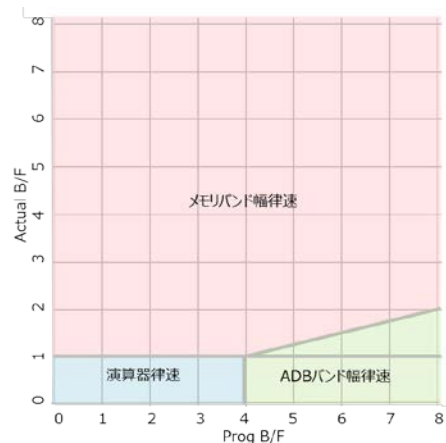


図6 性能決定要因の分類図

### 3.3 分析結果

本センターのSX-ACEで実行されている利用者プログラム41本を分析対象とした。表3は利用分野とそのプログラム数である。

まず、図7に各プログラムのProg B/FとActual B/Fの測定値をグラフにて示す。Prog B/Fを降順に並べている。Prog B/Fは最大9.2、最小0.1、平均3.2であり、その分散は大きいものの、全体的に高いメモリバンド幅を必要とするプログラム

が多いといえる。一方、Actual B/F は最大 10.3、最小 0.0、平均 2.4 であった。Prog B/F と比較すると、75%のプログラムで、Prog B/F よりも Actual B/F の方が小さいことが明らかになった。これは、ADB や MSHR が効果的に機能することによって、無駄・冗長なメモリアクセスを削減できているためと考えられる。残り 25%のプログラムでは、Actual B/F の方が Prog B/F よりも大きな値を示している。これは、ADB のデータ管理に関係していると考えられる。データはライン単位で ADB に読み込まれるために、実際にはアクセスされない余分なデータも読み込まれる。ADB にヒットしない場合は、

メモリから読み込まれる余分なデータ量が増えるために、Actual B/F が Prog B/F よりも大きくなるといえる。

表 3 利用分野とプログラム数

利用分野	プログラム数
物質・材料・化学	5
環境・防災・減災	9
工学・ものづくり	21
物理・素粒子・宇宙	2
原子力・核融合	1
情報・計算機科学	3
(合計)	41

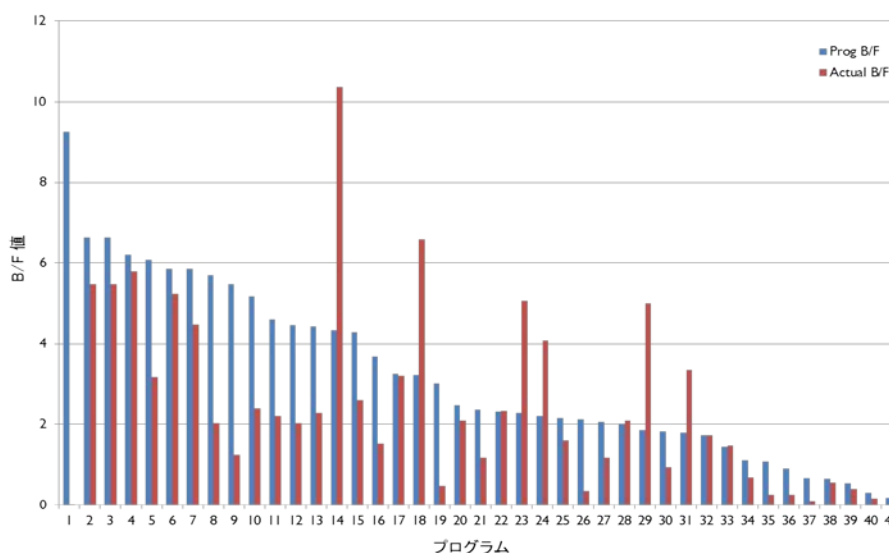


図 7 Prog B/F と Actual B/F の測定値

次に、性能決定要因の分類にもとづき利用者プログラムを分類した結果の分布を、図 8 に示す。最も多いのはメモリバンド幅律速（赤色領域）のプログラム 28 本で、全体の 70%を占める。次いで、演算器律速（青色領域）が 11 本で 25%、残り 2 本が ADB バンド幅律速（緑色領域）となった。

演算器律速領域（青色領域）は、メモリバンド幅および ADB バンド幅ともにデータ転送性能は十分余裕があり、理論的には CPU のピーク演算性能を引き出せている。ADB バンド幅律速領域（緑色領域）は、無駄・冗長なメモリアクセスが少なく、ADB が効果的に機能したデータ転送ができています。

メモリバンド幅律速のプログラムは、さらに Prog B/F  $\leq$  Actual B/F の 9 本、Prog B/F  $>$  Actual B/F の 19 本に分けられる（図 9）。前者は、Actual B/F が相対的に大きい領域で、ストライドアクセスやリストアクセス等でメモリロードが頻発し、

メモリアクセス数が大きくなっていると考えられる（橙色領域）。後者は、ADB の効果を確認できる領域で、Actual B/F 値が相対的に小さくなるほど ADB のヒット率が高く効果が大きい（黄色領域）。

全体を分析した結果、メモリバンド幅律速のプログラムが 70%と大部分を占め、本センターの利用者プログラムにはメモリバンド幅性能を求めるプログラムが多いことがわかった。しかし、ベクトル化率やベクトル長等、改善の余地が残されているプログラムも存在していると考えられるため、個々のプログラムのさらなる分析が必要である。また、Prog B/F と Actual B/F の 2 つの値から、プログラム性能のボトルネックとなる要因を比較的簡単に見積もることが可能なため、プログラムの初期性能分析や性能改善の指標として活用できることがわかった。

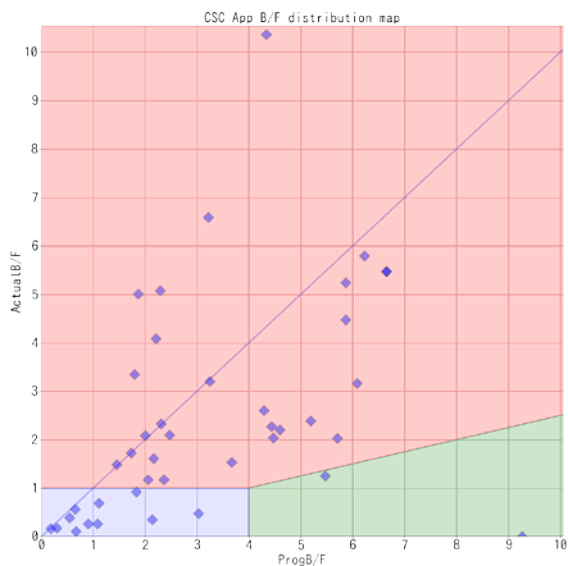


図8 利用者プログラムの分布

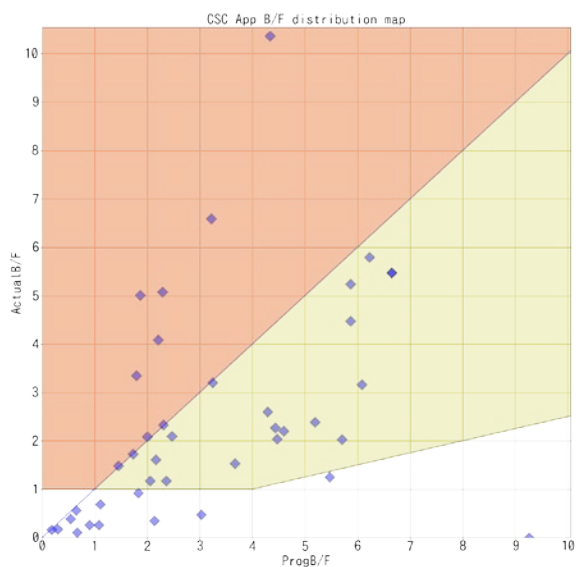


図9 メモリバンド幅律速領域

## 4 まとめ

本稿では、本センターの利用者プログラムを対象に Prog B/F と Actual B/F の測定を行い、本センターにおける利用者プログラムの特性を分析した。これらの分析結果により、利用者プログラムの求める性能が定量的に明らかになり、メモリバンド幅律速のプログラムが多いことがわかった。今後も引き続き動向を分析し、プログラムチューニングのツールとして、また利用者のニーズに応えられるシステム設計、運用設計に活用していきたい。

## 参考文献

- [1] R. Egawa, K. Komatsu, S. Momose, Y. Isobe, H. Musa, H. Takizawa, H. Kobayashi, Potential of a modern vector supercomputer for practical applications: performance evaluation of SX-ACE, The Journal of Supercomputing, Sep. 2017, Volume73, Issue 9, pp 3948-3976
- [2] 萩原孝 浜口博幸 山信田恒、スーパーコンピュータ SX-ACE のハードウェア、東北大学サイバーサイエンスセンター大規模科学計算システム広報 (SENAC) Vol. 48, No. 1, pp. 5-14, 2015.
- [3] 工藤淑裕 横谷雄司、SX-ACE でのプログラミング (ベクトル化偏)、東北大学サイバーサイエンスセンター大規模科学計算システム広報 (SENAC) Vol. 48, No. 1, pp. 15-32, 2015.
- [4] 東北大学サイバーサイエンスセンター、高速化推進研究活動報告 第6号、2015.
- [5] 小野敏 他、スーパーコンピュータ SX-ACE の運用について、大学 ICT 推進協議会 2015 年度年次大会.